

THIN-FILM TRANSISTOR

Patent Number: JP1267617
Publication date: 1989-10-25
Inventor(s): NAKAZAWA TAKASHI
Applicant(s): SEIKO EPSON CORP
Requested Patent: ☐ JP1267617
Application Number: JP19880097636 19880420
Priority Number(s):
IPC Classification: G02F1/133; H01L27/12; H01L29/78
EC Classification:
Equivalents:

Abstract

PURPOSE: To obtain the thin-film transistor which has no fluctuation in parasitic capacity by providing two pieces of drain electrodes wired in parallel to a prescribed length at a prescribed spaced interval and prescribed line width on an insulating substrate and source electrodes wired to a prescribed length at a prescribed line width.

CONSTITUTION: This thin-film transistor has two pieces of the drain electrodes 102 wired in parallel to the prescribed length at the prescribed line width, the source electrode 103 wired to the prescribed length at the prescribed line width between the two drain electrodes 102, a semiconductor layer 104 provided in the direction intersecting with the longitudinal direction of the two drain electrodes 102 and the source electrode 103, a gate insulating film 105 which covers the drain electrodes 102, the source electrode 103 and the semiconductor layer 104, and a gate electrode 106 provided via the gate insulating film 105. The parasitic capacity of the thin-film TR is thereby kept always constant without being affected by a pattern deviation and the specified capacity of a piece of a source wiring 108 is obtd. as well. Namely, the delay time of signals does not fluctuate with each of the source wirings 108 and the liquid crystal display having the display quality uniform over a large screen and high image quality is obtd.

Data supplied from the esp@cenet database - 12

⑫ 公開特許公報(A) 平1-267617

⑤Int. Cl.⁴ 識別記号 庁内整理番号 ④公開 平成1年(1989)10月25日
 G 02 F 1/133 3 2 7 7370-2H
 H 01 L 27/12 A-7514-5F
 29/78 3 1 1 X-8624-5F 審査請求 未請求 請求項の数 3 (全10頁)

④発明の名称 薄膜トランジスタ

②特 願 昭63-97636

②出 願 昭63(1988)4月20日

⑦発 明 者 中 澤 尊 史 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

⑦出 願 人 セイコーエプソン株式会社 東京都新宿区西新宿2丁目4番1号

⑦代 理 人 弁理士 上柳 雅 外1名

明 細 書

1. 発明の名称

薄膜トランジスタ

2. 特許請求の範囲

(1) 絶縁基板上に所定の間隔を隔て、所定の線幅で、所定の長さに平行に配線された2本のドレイン電極と、該2本のドレイン電極の間に、該2本のドレイン電極と平行に所定の線幅で所定の長さに配線されたソース電極と、該2本のドレイン電極及び該ソース電極の長手方向と交わる方向に設けられた半導体層と、該ドレイン電極と該ソース電極と該半導体層を被覆するゲート絶縁膜と、該ゲート絶縁膜を介して設けられたゲート電極を具備したことを特徴とする薄膜トランジスタ。

(2) 該ソース電極の線幅 y 、(μm)が

$$y < (6 + 1.2x + W)(3 + 0.6x) / (6 + W/2) \quad (\mu m)$$

 x は該絶縁基板の長手方向の長さ(μm) W は薄膜トランジスタのチャンネル幅(μm)

を満たすことを特徴とする第1項記載の薄膜トランジスタ。

(3) 該2本のドレイン電極の線幅 y_s 、(μm)が

$$y_s < 2(3 + 0.6x)^2 / (12 + W) \quad (\mu m)$$

を満たすことを特徴とする第1項記載の薄膜トランジスタ。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明はアクティブマトリックス方式の液晶ディスプレイや、イメージセンサや3次元集積回路などに応用される薄膜トランジスタに関する。

〔従来の技術〕

従来の薄膜トランジスタは、例えば J A P A N D I S P L A Y ' 8 6 の 1 9 8 6 年 P 1 9 6 ~ P 1 9 9 に示される様な構造であった。この構造を一般化して、その概要を第2図に示す。(a)図は上視図であり(b)図はAA'における断面

図である。ガラス、石英、サファイア等の絶縁基板 201 上に、ドナーあるいは、アクセプタとなる不純物を添加した多結晶シリコン薄膜から成るソース領域 202 及びドレイン領域 203 が形成されている。これに接して、ソース電極 204 とドレイン電極 205 が設けられており、更にソース領域 202 及びドレイン領域 203 の上側で接し両者を結ぶように多結晶シリコン薄膜から成るチャンネル領域 206 が形成されている。これらを被覆するようにゲート絶縁膜 207 が設けられている。更にこれに接しゲート電極 208 が設けられている。

〔発明が解決しようとする課題〕

しかし、従来の薄膜トランジスタは次のような問題点を有していた。

第 3 図に薄膜トランジスタの上視図を示し、第 4 図にその等価回路を示す。

ゲート電極 304 と、第 3 図 (a) に示す斜線部 S、でゲート絶縁膜を誘電体としてゲート G とソース S の間に寄生容量 401 が形成される。同

様に、ゲート電極 304 と斜線部 S、でゲート G とドレイン D の間に寄生容量 402 が形成される。

第 3 図 (b) に示す様に矢印 305 の方向に、ゲート電極 304 のパターンずれが生じると、寄生容量 401 は減少し、寄生容量 402 は増大する。逆に第 3 図 (c) に示す様に矢印 306 の方向にゲート電極 304 のパターンずれが生じると、寄生容量 401 は増大し、寄生容量 402 は減少する。すなわち薄膜トランジスタの寄生容量は、ソース電極 301 及び、ドレイン電極 302 に対してのゲート電極 304 のパターンずれで大きくばらつく。パターンずれの主な原因は、ゲート電極 304 のアライメントずれ、フォトマスク間のピッチずれ等である。従って、同一基板内あるいは基板間で寄生容量がばらつき、回路定数を一定とすることが困難となり、液晶ディスプレイへ応用した場合表示品質がばらつき、更に画質を低下させていた。又液晶ディスプレイが大型化すればパターンずれは更に大きくなり、著しく表示

品質を低下させ、大型化の大きな妨げとなっていた。

イメージセンサや 3 次元集積回路へ応用した場合、回路定数が一定とすることが困難となり、実用化への大きな妨げとなっていた。

本発明は、このような問題点を解決するものであり、その目的とするところは、寄生容量のばらつきの無い薄膜トランジスタを提供することにある。

〔課題を解決するための手段〕

本発明の薄膜トランジスタは、

(a) 絶縁基板上に所定の間隔を隔て、所定の線幅で所定の長さに平行に配線された 2 本のドレイン電極と、該 2 本のドレイン電極の間に所定の線幅で所定の長さに配線されたソース電極と、該 2 本のドレイン電極及び該ソース電極の長手方向と交わる方向に設けられた半導体層と、該ドレイン電極と該ソース電極と該半導体層を被覆するゲート絶縁膜と、該ゲート絶縁膜を介して設けられたゲート電極を具備することを特徴とする。

(b) 該ソース電極の線幅 y 、(μm) が

$$y < (6 + 1.2x + W)(3 + 0.6x) / (6 + W/2) \quad (\mu\text{m})$$

x は該絶縁基板の長手方向の長さ (μm)

W は薄膜トランジスタのチャンネル幅 (μm)

を満たすことを特徴とする。

(c) 該 2 本のドレイン電極の線幅 y 、(μm) が

$$y < 2(3 + 0.6x)^2 / (12 + W) \quad (\mu\text{m})$$

を満たすことを特徴とする。

〔実施例〕

以下実施例に基づいて、本発明を詳しく説明する。第 1 図に本発明による薄膜トランジスタの 1 例を示す。(a) は上視図であり、(b) は B-B' における断面図である。ガラス、石英、サファイア等の絶縁基板 101 上にドナーあるいはアクセプタとなる不純物を添加した多結晶シリコン、非晶質シリコン等のシリコン薄膜から成る 2 本のドレイン電極 102 が互いに平行となる様に設けられている。ドレイン電極と同じ材質で、2 本のドレイン電極 102 の間に、ソース電極

103がドレイン電極102と平行になる様に設けられている。又ソース電極103及びドレイン電極102の線幅は $20\mu\text{m}$ 以下で、その膜厚は $500\sim 5000\text{\AA}$ が望ましい。このソース電極103の上側と、ドレイン電極102の上側に接して、長手方向と交わる方向に多結晶シリコン、あるいは非晶質シリコン等のシリコン薄膜から成る半導体層104が形成されている。その膜厚は 2000\AA 以下が望ましい。また金属、透明導電膜等から成るソース配線108がソース電極103に接しており、同じくドレイン配線107が、2本のドレイン電極102に接している。これら全体を SiO_2 、 SiON 等のゲート絶縁膜105が被覆している。この上に金属、透明導電膜等から成るゲート電極106がゲート絶縁膜105を介して半導体層104を、被覆している。ゲート絶縁膜105は配線間の絶縁を保持する層間絶縁膜も兼ねている。この様に構成された薄膜トランジスタは、2つの薄膜トランジスタを並列に接続したのと等価となる。薄膜トランジスタのチャ

ネル長 L は、第1図の矢印109であり、平行な2本のドレイン電極102の間隔は、チャンネル長 L の2倍に、ソース電極103の線幅を加えた値となる。又チャンネル幅 W は矢印110で示された値の2倍である。

第5図に本発明の薄膜トランジスタの上視図を示し、第6図にその等価回路を示す。

ゲート電極506と第5図(a)に示す斜線部 S_1 及び S_2 でゲート絶縁膜を誘電体としてゲート G とドレイン D の間に寄生容量601、602が形成される。同様にゲート電極506と斜線部 S_1 でゲート G とソース S の間に寄生容量603が形成される。第5図(b)に示す様に矢印511の方向にゲート電極506のパターンずれが生じても、 S_1 、 S_2 、 S_3 の面積は全く変化することなく一定であり、その結果、寄生容量601、602、603はパターンずれによる影響は全くなく一定である。又、第5図(c)に示す様にゲート電極506が矢印512方向にパターンずれが生じても同様である。第5図(d)に示し

た方向にパターンずれが生じた場合は、 S_2 の面積はパターンずれがない場合と同じであるが S_1 、 S_3 の面積が変化する。すなわち寄生容量601が大きくなり、602が小さくなるが第6図に示す等価回路からも明らかな様に、寄生容量601と602は並列となっているため、ドレイン側の寄生容量のトータルはパターンずれがない場合と同じ($S_1 + S_2 = S_1 + S_2$)となる。第5図(e)の場合も全く同様($S_1 + S_2 = S_1 + S_2$)である。以上説明した様にどの方向にパターンずれが生じても薄膜トランジスタの寄生容量は常に一定となる。すなわち、同一基板内あるいは基板間での寄生容量のばらつきを無くすることが可能となる。

薄膜トランジスタを形成する絶縁基板としてガラス基板が広く使用されている。一般にガラス基板を熱処理を行い常温にもどすと、熱処理前のガラス寸法に比べ、熱処理後の寸法は小さくなる。(以下基板の収縮と呼ぶ)1例として、#7059(コーニング社製)の基板の収縮を第7図に示す。横軸は熱処理温度、縦軸は 10cm 当りの基板の収縮量を示す。第7図より明らかな様に 500°C 以上の熱処理により急激な基板の収縮が生ずる。半導体層504が多結晶シリコン等の 500°C 以上の高温で形成する半導体を用いた場合、半導体形成後基板の収縮が生じドレイン電極503及びソース電極502に対しての半導体層504及びゲート電極506のパターンずれが大きくなる。これを第8図を用いて説明する。ソース電極801及びドレイン電極802を形成し、第8図に示す形状にパターンニングした後半導体層803を形成する。半導体層803の形成時に基板の収縮が生ずる。従って半導体層803、ゲート電極804、ソース配線805及びドレイン配線806のパターンずれは基板の収縮を考慮しなければならない。ここでアライメント精度、フォトマスクのピッチずれ等によるパターンずれを d_1 とし、基板の収縮によるパターンずれを d_2 とする。ソース電極801及び、ドレイン電極802に対しての半導体層803のパターンずれ許容寸

法 808 は $2d_1 + d_2$ 以上とする。又ソース電極 801 及びドレイン電極 802 に対してのゲート電極 804、ソース配線 805、ドレイン配線 806、半導体層 803 のそれぞれのパターンずれ許容寸法 807、809、810、811 を $d_1 + d_2$ 以上とする。以上の様なパターンずれ許容寸法とすれば、どの方向にパターンずれが生じて、寄生容量のばらつきを無くすることができ、半導体層 803 を多結晶シリコン等の 500℃ 以上の高温で形成する半導体を用いた場合特に有効である。

本発明の薄膜トランジスタの寄生容量と従来の薄膜トランジスタの寄生容量を第 10 図を用いて説明する。第 10 図 (a) に本発明の薄膜トランジスタの上視図を示す。斜線部 S_1 及び S_2 で示された部分は、ゲート絶縁膜を誘電体としてゲート電極 1004 とドレイン電極 1002 の間に寄生容量を形成している。どの方向にパターンずれが生じて $S_1 + S_2$ は一定であり、その面積は、

$$S_1 + S_2 = \{2(d_1 + d_2) + W\}(d_1 + d_2) + LW/2 \quad (\mu m^2) \quad - (3)$$

で表わされる。

ゲート絶縁膜が同一の材質で、同一の厚さであれば寄生容量は面積 $S_1 \sim S_2$ に比例する。

ここで、アライメント精度、フォトマスクのピッチずれ等によるパターンずれ d は通常 $3(\mu m)$ 程度である。

又、基板の収縮 d_2 は、多結晶シリコンを形成する一般的な温度である 600℃ 前後で第 6 図より、基板の長さ 10 cm 当り約 $6 \mu m$ である。

従って式 (1)、(2)、(3) へ $d_1 = 3$ 、 $d_2 = 0.6x$ (x は基板の長手方向の長さ (cm)) を代入すると、

$$S_1 + S_2 = 2\{y_1(6 + W/2) + LW/4 + W/2(3 + 0.6x)\} \quad (\mu m^2) \quad - (4)$$

$$S_2 = y_1(6 + W/2) + LW/2 \quad (\mu m)^2 \quad - (5)$$

$$S_1 + S_2 = \{2(3 + 0.6x) + W\}(3 + 0.6x) + LW/2 \quad - (6)$$

$$S_1 + S_2 = 2\{y_1(2d_1 + W/2) + W/2 \cdot L/2 + W/2(d_1 + d_2)\} \quad (\mu m^2) \quad - (1)$$

y_1 はドレイン電極 1002 の幅 (μm)

L は薄膜トランジスタのチャネル長 (μm)

W は薄膜トランジスタのチャネル幅 (μm)

で表わされる。

一方斜線部 S_2 で示された部分により、ゲート電極 1004 とソース電極 1001 の間に寄生容量を形成しておりその面積は、

$$S_2 = y_1(2d_1 + W/2) + 2 \cdot W/2 \cdot L/2 \quad (\mu m^2) \quad - (2)$$

y_1 はソース電極 1001 の幅 (μm)

で表わされる。

又第 10 図 (b) に従来の薄膜トランジスタの上視図を示す。斜線部 S_1 で示された部分によりゲート電極 1008 とソース電極 1005 の間に寄生容量が形成されている。斜線部 S_2 で示された部分も同様にドレイン電極 1006 とゲート電極 1008 の間に寄生容量を形成している。パターンずれが無ければ S_1 と S_2 の面積は等しく

となる。

従来の薄膜トランジスタに比べ、ソース電極とゲート電極の間に形成される寄生容量を小さくするには、

$$S_2 < S_1 \quad - (7)$$

を満足すればよい。

(7) 式へ (4) (6) 式を代入して整理すると、

$$y_1 < (6 + 1.2x + W)(3 + 0.6x) / (6 + W/2) \quad (\mu m) \quad - (8)$$

が得られる。

すなわちソース電極の幅 y_1 が (8) 式を満足していれば、従来の薄膜トランジスタに比べソース電極とゲート電極の間に形成される寄生容量を小さくすることが可能となる。

第 11 図に、液晶ディスプレイへ応用した場合の等価回路を示す。1 本のソース配線 1103 には、ゲート配線 1104 と同数の寄生容量 1106 が形成される。

ソース電極の幅 y_1 は使用するマスクアライ

ナーの解像度限界の線幅とし、 $NSR-L750/G$ (日本光学製) を使用すれば $4(\mu m)$ とすることが可能となる。ここでチャネル長 L を $10(\mu m)$ 、チャネル幅 W を $10(\mu m)$ とすれば S_g は $94(\mu m^2)$ となる。又従来の薄膜トランジスタでは、基板の長手方向の長さを $30(cm)$ とすれば S_s は $1142(\mu m^2)$ となり、面積も S_g/S_s は約 $1/12$ となり、従来の薄膜トランジスタに比べ寄生容量 1106 は $1/12$ となる。一般にテレビ表示を行なう場合ゲート配線 1104 は 500 本程度であるから、1本のソース配線 1103 に形成される寄生容量は $1/6000$ で済み、ホールド回路 1101 の駆動能力が従来に比べ $1/6000$ となり大幅に小さくできる。このため LSI の小型化が可能となり同時に安価となる。又、寄生容量 1106 はパターンずれの影響を受けることなく常に一定であるから、1本のソース配線の容量は不変となり、ホールド回路 1101 の負荷も一定となる。これによりソース配線に入力される信号波形は、ソース配線ご

とに信号の遅延時間がばらつくことはなく、大画面にわたり、均一な表示品質で、高画質の液晶ディスプレイが実現できる。

従来の薄膜トランジスタに比べ、ドレイン電極とゲート電極の間に形成される寄生容量を小さくするには

$$S_1 + S_2 < S_g \quad - (9)$$

を満足すればよい。

(9) 式へ (5) (6) 式を代入して整理すると、

$$y_g < 2(3 + 0.6x)^2 / (12 + W) \quad (\mu m) \quad - (10)$$

すなわちドレイン電極の幅 y_g が (10) 式を満足していれば、従来の薄膜トランジスタに比べドレイン電極とゲート電極の間に形成される寄生容量を小さくすることが可能となる。

第12図に薄膜トランジスタを用いた液晶ディスプレイの一般的な駆動波形を示す。第12図(a)はゲート配線に印加されるゲート信号であり、行ごとに薄膜トランジスタを時分割で導通状

態に励起する。第12図(b)に示すデータ信号はゲート信号に同期してソース配線に供給され、薄膜トランジスタを通して液晶層に伝達される。ゲート信号が次行電極に移ると薄膜トランジスタは非導通状態となりソース配線と液晶層は絶縁される。従って液晶層に蓄えられたデータ信号は次の走査を受けるまで保持される。液晶層の電圧変化を第12図(c)に示す。薄膜トランジスタが導通状態から非導通状態に変わった時電圧変化 ΔV_{1201} が発生する。この ΔV は薄膜トランジスタのドレイン電極とゲート電極の間に形成される寄生容量 C_p と液晶層 C_{lc} の比で決定され次式で表わされる。

$$\Delta V_{OC} = C_p / (C_p + C_{lc})$$

すなわち、寄生容量 C_p が従来の薄膜トランジスタより小さければ ΔV は小さくでき、液晶層での保持特性が向上し、フリッカーがなく、コントラスト比が大きくなり、高画質化できる。更に、液晶ディスプレイが大形化してもパターンずれによる寄生容量の変化がなく小さくできるため高画質

の大型液晶ディスプレイが実現できる。

本発明の薄膜トランジスタの特性を第9図に示す。横軸はゲート電圧 V_{GS} 、縦軸はドレイン電流 I_D の対数値である。ドレイン電圧 V_D は、 $4(V)$ チャンネル長は $20\mu m$ 、チャンネル幅 $10\mu m$ である。半導体層には多結晶シリコンを用い、その膜厚は 200\AA である。第8図より明らかな様に小さいOFF電流と大きいON電流が両立しており、従来の薄膜トランジスタとほぼ同様な特性である。

【発明の効果】

本発明は次のようなすぐれた効果を有する。

第1にパターンずれの影響を受けることなく薄膜トランジスタの寄生容量を常に一定とすることが可能となり、この結果1本のソース配線の容量も一定となる。すなわちソース配線ごとに信号の遅延時間がばらつかず大画面にわたり均一な表示品質で、高画質の液晶ディスプレイが実現できる。

第2に、薄膜トランジスタのソース電極とゲー

ト電極の間に形成される寄生容量が従来の薄膜トランジスタに比べ小さくでき、液晶ディスプレイへ応用した場合、駆動回路の負荷が小さくなり、チップサイズが小さく安価なドライバICが使用可能となる。従来と同じ駆動能力のドライバICを使用すれば、更に多くの走査線を持つ液晶ディスプレイも駆動可能となる。

第3に、薄膜トランジスタのドレイン電極とゲート電極の間に形成される寄生容量がパターンずれの影響を受けることなく一定でしかも従来に比べ小さくでき、液晶層での信号電圧の保持特性が向上し、フリッカーがなく、コントラスト比が大きくなり、高画質化できる。

第4に、回路定数を一定にできることにより、アクティブマトリックス基板あるいはホールド回路の設計を容易にできる。

第5に、パターンずれに対する許容度が大きく設計できるため、従来の様な厳しい工程管理が不用となり、歩留りが大幅に向上する。

第6に、パターンずれに関係なく寄生容量を一

定とできるため、基板内のばらつきあるいは基板間のばらつきを無くすることができ、大幅に品質が向上でき、更に大面積基板上へ均一な特性をもった薄膜トランジスタの形成を実現できる。

第7に、トランジスタ特性は従来の特性と全く同一であり、小さいOFF電流と大きいON電流を両立できる。

第8に、半導体層に多結晶シリコン等の500℃以上の高温で形成する半導体を用いた場合、基板の収縮に基因するパターンずれの影響を全く受けることなく、寄生容量を一定に保つことが可能となり、回路定数を一定にすることができる。

以上のように、本発明の薄膜トランジスタは数多くの優れた効果を有するものであり、その応用範囲は、ディスプレイ用のアクティブマトリックス基板やその周辺回路、イメージセンサ、3次元集積回路など多岐にわたる。

4. 図面の簡単な説明

第1図(a)(b)は本発明の薄膜トランジ

スタの構造を示し、(a)は上視図、(b)は断面図である。

第2図(a)(b)は従来の薄膜トランジスタの構造を示し(a)は上視図、(b)は断面図である。

第3図(a)～(c)は、従来の薄膜トランジスタの構造を示す上視図である。

第4図は、従来の薄膜トランジスタの等価回路図である。

第5図(a)～(e)、第8図は、本発明の薄膜トランジスタの構造を示す上視図、第6図は等価回路図である。

第7図は基板の収縮を示すグラフである。

第9図は、本発明の薄膜トランジスタの特性を示すグラフである。

第10図(a)(b)は、本発明の薄膜トランジスタと従来の薄膜トランジスタの上視図である。

第11図は薄膜トランジスタを用いた液晶ディスプレイの等価回路図、第12図(a)～(c)

は液晶ディスプレイの駆動波形である。

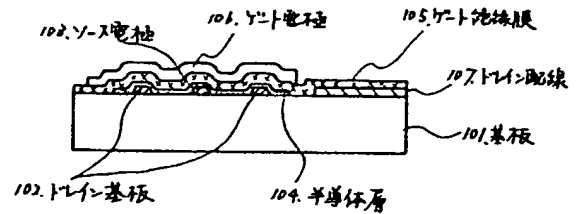
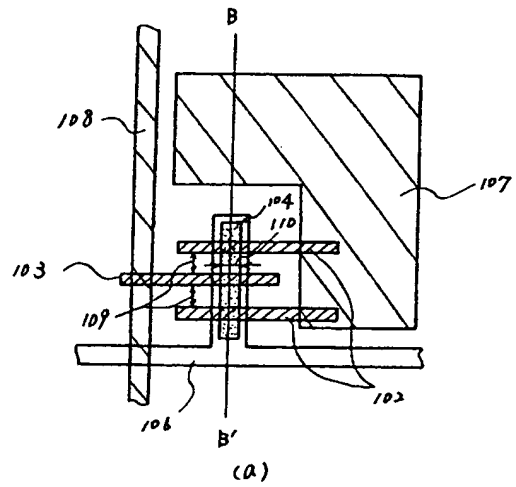
101、201・・・・・・基板
103、202、301、502、801、
1001、1005・・・・・・ソース電極
102、203、302、503、802、
1002、1006・・・・・・ドレイン電極
108、204、805・・・・・・ソース配線
107、205、806・・・・・・ドレイン配線
104、206、303、504、803、
1003、1007・・・・・・半導体層
105、207・・・・・・ゲート絶縁膜
106、208、304、506、804、
1004、1008・・・・・・ゲート電極
401、402、601、602、603、
1106・・・・・・寄生容量
1101・・・・・・ホールド回路
1102・・・・・・走査回路
1103・・・・・・ソース配線
1104・・・・・・ゲート配線

1107 液晶層

以 上

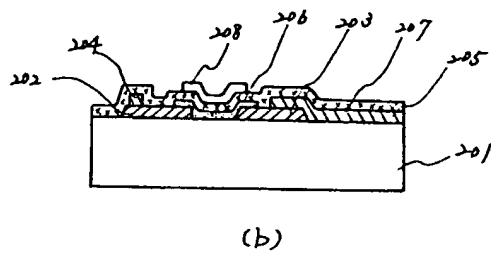
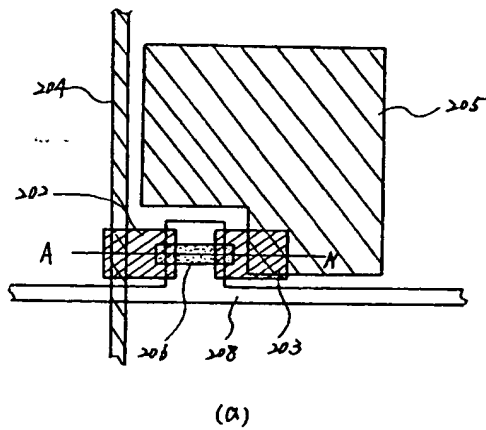
出願人 セイコーエプソン株式会社

代理人 弁理士 上 柳 雅 誓 (他 1 名)



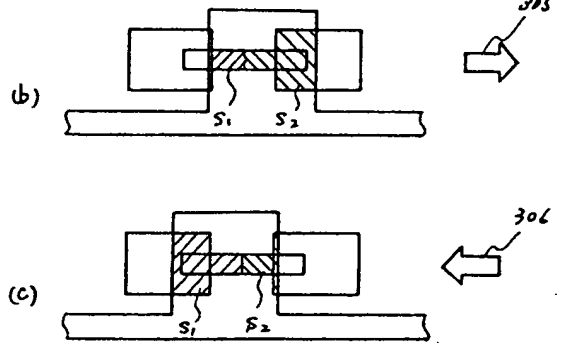
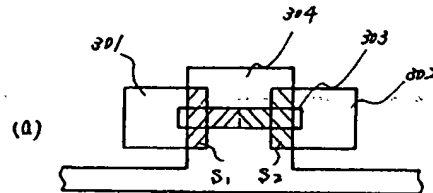
(b)

第 1 図

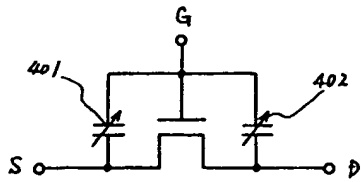


(b)

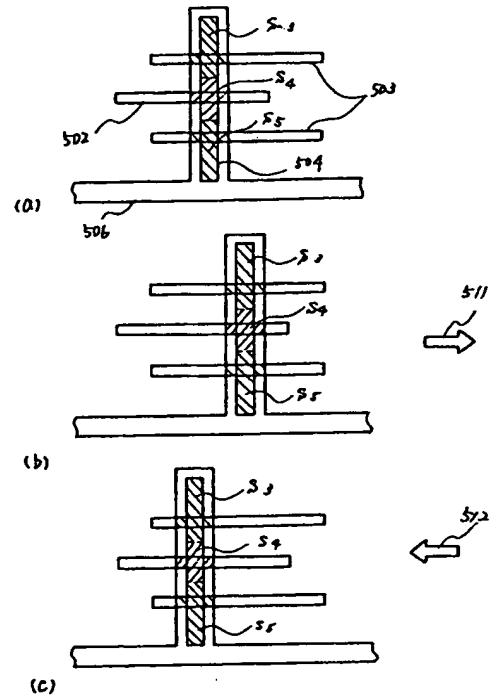
第 2 図



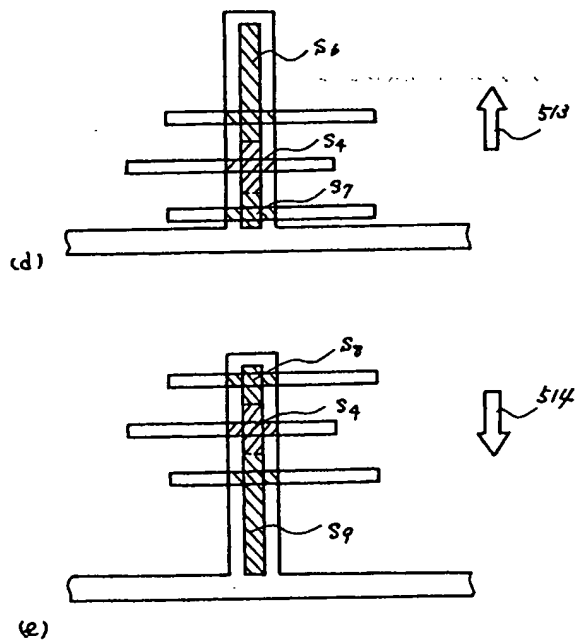
第 3 図



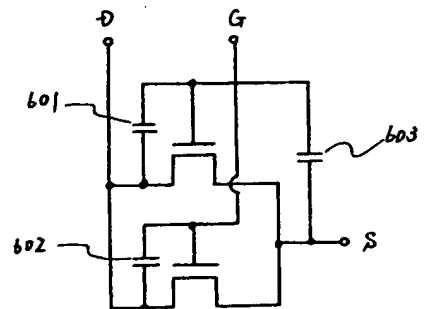
第 4 図



第 5 図

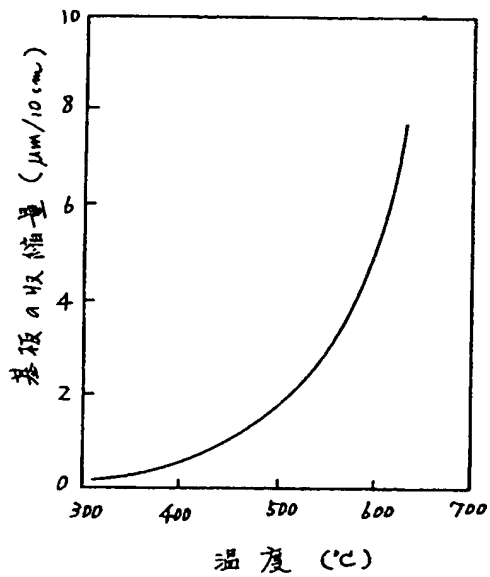


第 5 図

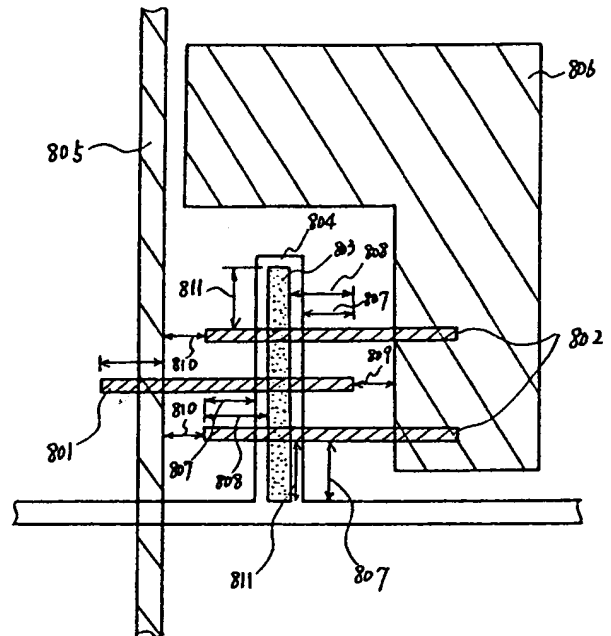


第 6 図

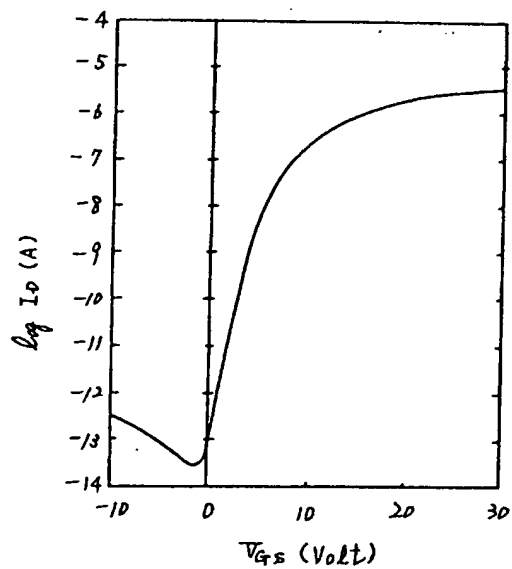
BEST AVAILABLE COPY



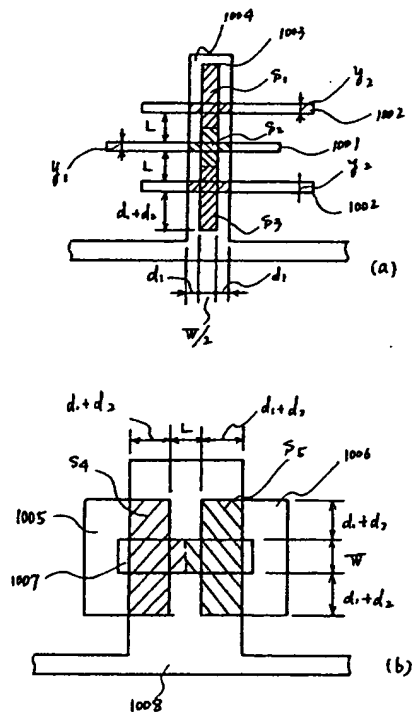
第 7 図



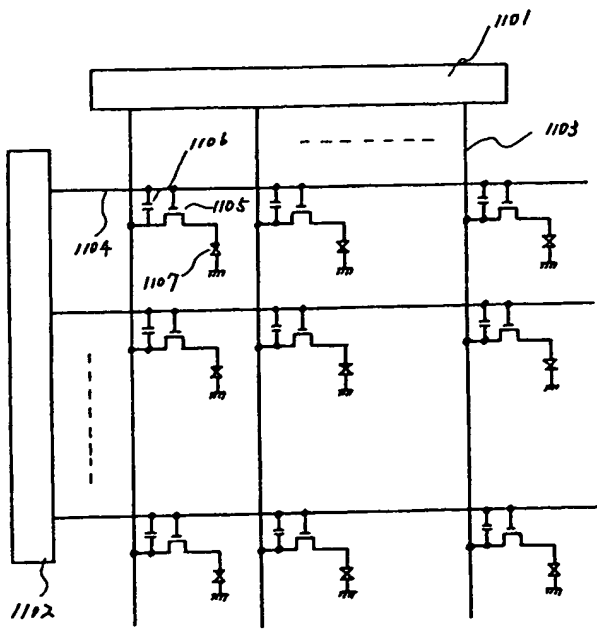
第 8 図



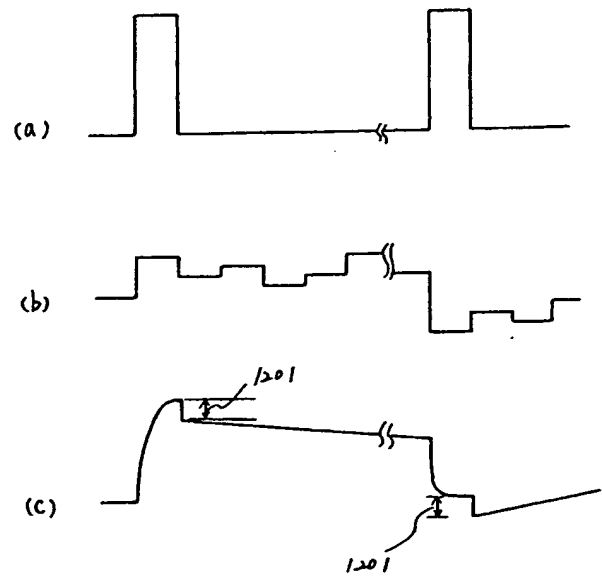
第 9 図



第10図



第11図



第12図